

PARTIAL TRANSLATION OF JP 9(1997)-237886 A

Publication Date: September 9, 1997

Title of the Invention: SOLID-STATE IMAGE SENSING DEVICE

Patent Application Number: 8-42401

Filing Date: February 29, 1996

Inventors: Y. SURIZAWA ET AL.

Applicant: NIPPON ELECTRIC CO

(Page 3, right column, line 40 – Page 4, left column, line 20)

[0014]

[Examples] Next, the present invention will be described by way of examples with reference to the drawings.

[First Example] FIG. 1 is a schematic plan view of the first example of the present invention. FIG. 2(a) is a cross-sectional view of a charge transfer section taken along a line I-I' in FIG. 1. FIG. 2(b) is an electric potential diagram on the cross-section. In FIG. 1, reference numeral 101 denotes a photoelectric conversion section, 102 denotes a vertical charge transfer section, 103 denotes a horizontal charge transfer section, and 104 denotes an output. Furthermore, a region surrounded by a broken line corresponds to an electric field enhancing region 105 in which a second P-type well layer is formed. The basic operation is the same as that of the conventional example described above.

[0015] In FIG. 2, reference numeral 201 denotes an N-type semiconductor substrate; 202 denotes a first P-type well layer constituting a part of the horizontal charge transfer section 103 and a buried channel of the vertical charge transfer section 102 shown in FIG. 1; 203 denotes an N-type semiconductor region constituting the horizontal charge transfer section 103 and the buried channel of the vertical charge transfer section 102; 204 denotes a second P-type well layer constituting a buried channel at a center portion of the horizontal charge transfer section 103 shown in FIG. 1; 205

denotes a P⁺-type semiconductor region constituting an element isolation section; 206 denotes a conductive electrode constituting a transfer electrode; 207 denotes a silicon oxide film; 208 denotes a metal film for blocking light; and 209 denotes a protective silicon oxide film.

[0016] In the above-mentioned solid-state image sensing device according to the first example of the present invention, the first P-type well layer 202 is formed on both sides of the horizontal charge transfer section 103 and in the vertical charge transfer section 102, the second P-type well layer 204 is formed in a region corresponding to the channel center portion of the horizontal charge transfer section 103, and furthermore, the N-type semiconductor region 203 constituting a buried channel is formed on the first P-type well layer 202 and the second P-type well layer 204.

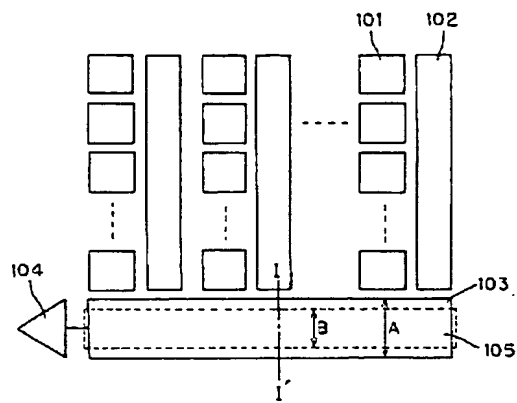
(Page 5, left column, lines 7–34)

[0024] [Third example] FIG. 5 is a schematic plan view of the third example of the present invention. FIG. 6(a) is a cross-sectional view of a charge transfer section taken along a line I–I' in FIG. 5. FIG. 6(b) is an electric potential diagram on the cross-section. In FIG. 5, reference numeral 501 denotes a photoelectric conversion section, 502 denotes a vertical charge transfer section, 503 denotes a horizontal charge transfer section, and 504 denotes an output. Furthermore, a region surrounded by a broken line corresponds to an electric field enhancing region 505 in which the second N-type semiconductor region is formed. The basic operation is the same as that of the above-mentioned first and second examples. In FIG. 6, reference numeral 601 denotes an N-type semiconductor substrate, 602 denotes a P-type well layer constituting buried channels of the horizontal charge transfer section 503 and the vertical charge transfer section 502 shown in FIG. 5; 603 denotes a first N-type semiconductor region constituting a part of the horizontal charge transfer section 503 and a buried channel of the vertical charge transfer section 502 shown in FIG. 5; 604 denotes a second N-type semiconductor region constituting a buried

channel at the center portion of the horizontal charge transfer section 503 shown in FIG. 5; 605 denotes a P⁺-type semiconductor region of an element isolation section; 606 denotes a conductive electrode; 607 denotes a silicon oxide film; 608 denotes a metal film for blocking light; and 609 denotes a protective silicon oxide film.

[0025] In the solid-state image sensing device of the third example, the first N-type semiconductor region 603 is formed on both sides of the channel portion of the horizontal charge transfer section 503 and in the vertical charge transfer section 502, the second N-type semiconductor region 604 is formed at the center portion of the channel portion of the horizontal charge transfer section 503, and the first N-type semiconductor region 603 and the second N-type semiconductor region 604 constituting the buried channel are formed on the P-type well layer 602.

FIG. 1



101... Photoelectric conversion section

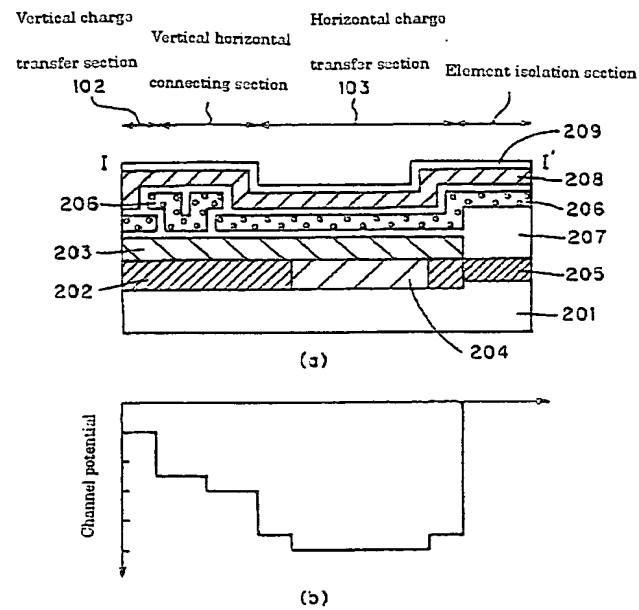
102... Vertical charge transfer section

103... Horizontal charge transfer section

104... Output

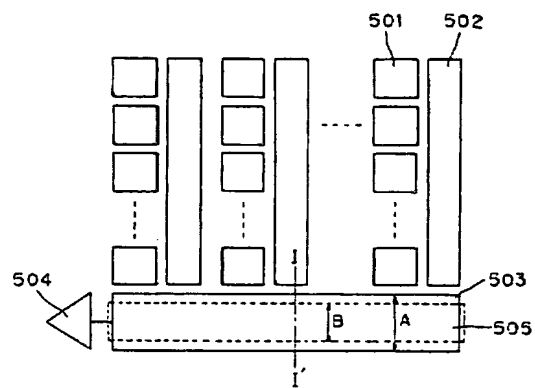
105... Electric field enhancing region

FIG. 2



- 201... N-type semiconductor substrate
- 202... First P-type well layer
- 203... N-type semiconductor region
- 204... Second P-type well layer
- 205... P-type semiconductor region
- 206... Conductive electrode
- 207... Silicon oxide film
- 208... Metal film
- 209... Protective silicon oxide film

FIG. 5



501... Photoelectric conversion section

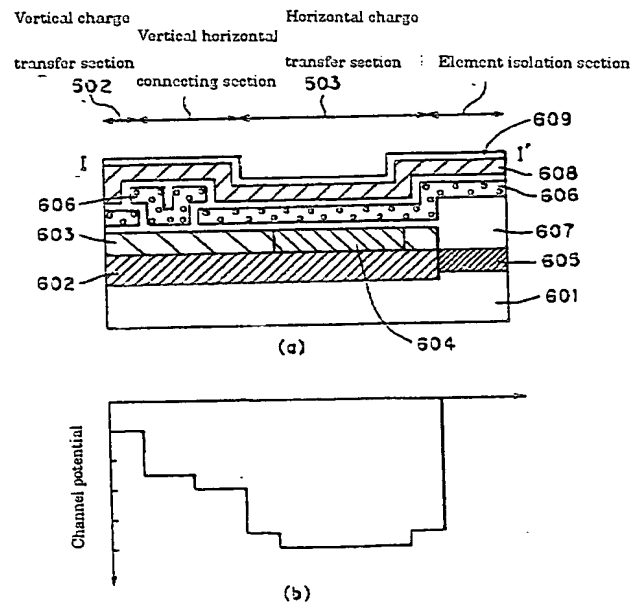
502... Vertical charge transfer section

503... Horizontal charge transfer section

504... Output

505... Electric field enhancing region

FIG. 6



- 601... N-type semiconductor substrate
- 602... P-type well layer
- 603... First N-type semiconductor region
- 604... Second N-type semiconductor region
- 605... P-type semiconductor region
- 606... Conductive electrode
- 607... Silicon oxide film
- 608... Metal film
- 609... Protective silicon oxide film

Family list

2 family member for:

JP9237886

Derived from 1 application.

- 1 **SOLID-STATE IMAGE SENSING DEVICE**
Publication Info: **JP2980196B2 B2** - 1999-11-22
JP9237886 A - 1997-09-09

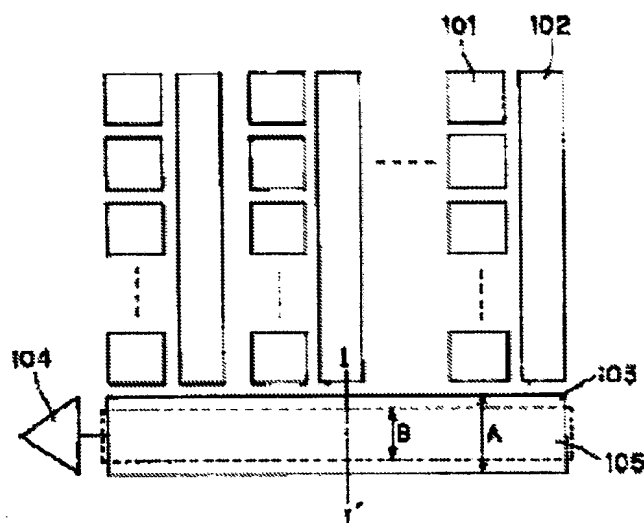
Data supplied from the **esp@cenet** database - Worldwide

SOLID-STATE IMAGE SENSING DEVICE

Patent number: JP9237886
Publication date: 1997-09-09
Inventor: SURIZAWA YUUJI; UCHIYA SATOSHI; NAKASHIBA YASUTAKA
Applicant: NIPPON ELECTRIC CO
Classification:
- **International:** H01L27/148; H04N5/335
- **European:**
Application number: JP19960042401 19960229
Priority number(s): JP19960042401 19960229

Abstract of JP9237886

PROBLEM TO BE SOLVED: To prevent a horizontal charge transfer section from deteriorating in transfer efficiency even if the junction of a buried channel becomes shallow with an increase in the number of picture elements. **SOLUTION:** A solid-state image sensing device is equipped with a photoelectric conversion section 101, a vertical charge transfer section 102, a horizontal charge transfer section 103, and an output 104, wherein an electric field enhancing region 105 is provided to the center of a channel of the horizontal charge transfer section 103. The electric field enhancing region 105 is formed through such a manner that an N-type semiconductor region comprised in a channel region 105 is locally enhanced in impurity concentration or a P-type well layer is locally lessened in impurity concentration.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237886

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/148			H 0 1 L 27/14	B
H 0 4 N 5/335			H 0 4 N 5/335	F

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-42401

(22) 出願日 平成8年(1996)2月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 棚澤 雄治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 打矢 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 中柴 康隆

東京都港区芝五丁目7番1号 日本電気株式会社内

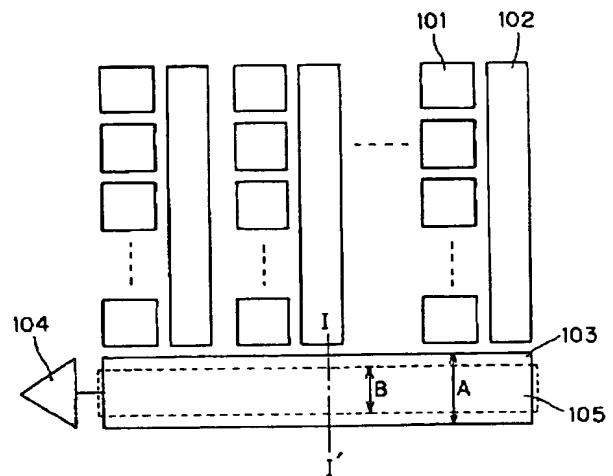
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【目的】 高画素化に伴って、埋め込みチャンネルの接合が浅くなっても、水平電荷転送部の転送効率が低下することのないようにする。

【構成】 光電変換部101、垂直電荷転送部102、水平電荷転送部103、出力部104を有する固体撮像素子において、水平電荷転送部103のチャンネルの中央部に電界増強領域105を設ける。この電界増強領域105は、チャンネル領域のN型半導体領域の不純物濃度を部分的に高くするか、あるいは、P型ウェル層の不純物濃度を部分的に低くすることによって形成される。



101… 光電変換部
 102… 垂直電荷転送部
 103… 水平電荷転送部
 104… 出力部
 105… 電界増強領域

【特許請求の範囲】

【請求項1】 複数の垂直電荷転送部と各垂直電荷転送部の一端にそれらから電荷の転送を受けるように配置された水平電荷転送部とを備え、各電荷転送部が半導体基板の表面領域内に形成された、電荷転送領域となる第1導電型領域とその下に形成された第2導電型領域とを有している固体撮像素子において、前記前記水平電荷転送部の電荷転送領域は、少なくとも垂直電荷転送部と接する側の一部を除く部分にポテンシャルの深い領域を有していることを特徴とする固体撮像素子。

【請求項2】 前記ポテンシャルの深い領域が、前記水平電荷転送部の第1導電型領域の一部に他の領域より不純物濃度の高い領域を設けることにより形成されたものであることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記ポテンシャルの深い領域が、前記水平電荷転送部の第2導電型領域の一部に他の領域より不純物濃度の低い領域を設けることにより形成されたものであることを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記ポテンシャルの深い領域が、前記電荷転送領域の前記垂直電荷転送部に接する側と反対側の部分を除いた電荷転送領域の中央部に形成されていることを特徴とする請求項1記載の固体撮像素子。

【請求項5】 前記ポテンシャルの深い領域の幅が、4 μ m以上であることを特徴とする請求項1記載の固体撮像素子。

【請求項6】 前記水平電荷転送部の電荷転送領域において、前記ポテンシャルの深い領域に隣接した垂直電荷転送部寄りのこれよりポテンシャルの浅い領域の幅が1 μ m以上であることを特徴とする請求項1記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像素子に関し、特に電荷結合装置（CCD）を用いたエリア型の固体撮像素子に関するものである。

【0002】

【従来の技術】 固体撮像素子は、従来一般的に使用されてきた撮像管に比べ小型、軽量、高耐久性、低残像、低焼き付き性等の特長を有し、イメージサイズの小さい民生用ムービーカメラ分野においては、既に撮像管を凌駕し、比較的イメージサイズの大きい業務用カメラ分野においてもとって代わろうとしている。

【0003】 従来のCCD方式固体撮像素子の概略の平面図を図9に示す。これは、固体撮像素子のうち、インターライン転送方式と呼ばれるものであって、図9に示すように、複数列の電荷転送装置からなる垂直電荷転送部902と、垂直電荷転送部902の片側に隣接して配置された光電変換部901と、各垂直電荷転送部902の一端に電気的に結合して配置された水平電荷転送部903と、水平電荷転送部903の一端に設けられた出力

部904から構成されている。

【0004】 図9に示す固体撮像素子の動作は次の通りである。光電変換部901群に入射光量に応じて蓄積された信号電荷が映像信号のフレーム周期、もしくはフィールド周期毎に対応して垂直電荷転送部902に読み込まれた後、映像信号の水平操作周期毎に垂直電荷転送部902内を並列に下方向に順次転送される。垂直電荷転送部902群の末端まで転送された信号電荷は、水平走査周期毎に水平電荷転送部903へ並列に転送される。水平電荷転送部903へ転送された信号電荷は、次の周期で垂直電荷転送部902群から信号電荷が転送されてくる間に、水平方向に順次転送され、出力部904から映像信号として外部に取り出される。

【0005】 図10(a)は、図9のI-I'線に沿う電荷転送部の断面図であり、図10(b)はその断面での電位ポテンシャル図である。図10(a)において、1001はN型半導体基板、1003は図9に示す水平電荷転送部903および垂直電荷転送部902の埋め込みチャンネルを構成するN型半導体領域、1002は図9に示す水平電荷転送部903および垂直電荷転送部902の埋め込みチャンネルを構成するP型ウェル層、1005は素子分離部のP⁺型半導体領域、1006は導電性電極、1007はシリコン酸化膜、1008は遮光用の金属膜、1009は保護シリコン酸化膜である。

【0006】 上述したように、従来の固体撮像素子では、垂直電荷転送部902と水平電荷転送部903とはP型ウェル層1002とP型ウェル層上に形成されたN型半導体領域1003とから構成される同一の構造となっている。次に、従来の固体撮像素子の製造方法を、工程順断面図である図11を参照して説明する。N型半導体基板1001上に素子分離部となるP⁺型半導体領域1005およびシリコン酸化膜1007を形成する〔図11(a)〕。次に、薄いシリコン酸化膜を介したボロンイオン1110の注入により、垂直電荷転送部と水平電荷転送部を構成する領域にP型ウェル層1002を形成する〔図11(b)〕。次に、薄いシリコン酸化膜を介したリンイオン1111の注入により、垂直電荷転送部と水平電荷転送部を構成する領域にN型半導体領域1003を形成する〔図11(c)〕。その後、垂直電荷転送部および水平電荷転送部の転送電極となる導電性電極1006形成し、導電性電極上に熱酸化またはCVD（Chemical Vapor Deposition）法を用いて層間絶縁膜を形成する。層間絶縁膜を形成した後にスパッタ法を用いて光電変換部のみ光が入るように遮光用の金属膜1008を形成し、最後に金属膜1008上にCVD法を用いて保護シリコン酸化膜1009を形成する〔図11(d)〕ことにより従来の固体撮像素子が得られる。

【0007】

【発明が解決しようとする課題】 固体撮像素子では高画

素化が進められており、それに伴って垂直電荷転送部 902 のチャンネル幅が徐々に狭くなり、その電荷転送容量が不足するようになってきている。従来、垂直電荷転送部 902 を構成する P 型ウェル層 1002 と N 型半導体領域 1003 との接合の深さを浅くすることにより、垂直電荷転送部 902 の転送電荷容量の低下を抑制してきたが、上述した従来の固体撮像素子では、水平電荷転送部 903 と垂直電荷転送部 902 とが、P 型ウェル層 1002 と N 型半導体領域 1003 とからなる同一の構造であるため、垂直電荷転送部の接合深さを浅くした場合には水平電荷転送部 903 における接合も浅くなり、高画素化に伴う、より高速度の電荷転送に際して、特に微少な信号電荷の転送効率が劣化するという問題が起こる。

【0008】これに対する対策として、垂直電荷転送部の P 型ウェル層の不純物濃度を水平電荷転送部の P 型ウェル層の不純物濃度より高くする方法（特開平 4-225562 号公報）、あるいは垂直電荷転送部の P 型ウェル層と N 型半導体領域の不純物濃度を水平電荷転送部の P 型ウェル層と N 型半導体領域の不純物濃度より高くする

方法（特開平 5-29599 号公報）が提案されている。

【0009】しかしながら、垂直電荷転送部の P 型ウェル層の不純物濃度を水平電荷転送部の P 型ウェル層の不純物濃度より高くする方法（特開平 4-225562 号公報）においては、P 型ウェル層の不純物濃度変化位置が、フォトリソの目合わせズレや不純物の横方向拡散の影響により、垂直電荷転送部の電極と水平電荷転送部の電極との境の位置よりもずれる可能性がある。不純物濃度変化位置が垂直電荷転送部側にずれていると、水平電荷転送部に隣接する垂直電荷転送部にポテンシャルの窪みが生じる。垂直電荷転送部にポテンシャル窪みが生じると、その分水平電荷転送部に蓄積できる信号電荷量が少なくなり、水平電荷転送部の最大蓄積信号電荷量が減少するという問題が起こる。

【0010】また、垂直電荷転送部の P 型ウェル層と N 型半導体領域の不純物濃度を水平電荷転送部の P 型ウェル層と N 型半導体領域の不純物濃度より高くする方法（特開平 5-29599 号公報）においても、P 型ウェル層や N 型半導体領域の不純物濃度変化位置が、フォトリソの目合わせズレや不純物の横方向拡散の影響で、垂直電荷転送部の電極と水平電荷転送部の電極との境の位置よりもずれる可能性がある。P 型ウェル層と N 型半導体領域の両方の不純物濃度変化位置、あるいは P 型ウェル層の不純物濃度変化位置が垂直電荷転送部側にずれると、水平電荷転送部に隣接する垂直電荷転送部にポテンシャルの窪みが生じて、水平電荷転送部に蓄積できる最大信号電荷量が減少する。また、N 型半導体領域の不純物濃度変化位置が、垂直電荷転送部側にずれると、水平電荷転送部に隣接する垂直電荷転送部にポテンシャル

の障壁が生じ、垂直水平接続部の転送効率が劣化するという問題が起こる。

【0011】上述したような垂直水平接続部のポテンシャルの障壁や窪みを防ぎ、チャネル電位の整合をとるために、垂直電荷転送部と水平電荷転送部の間に、垂直電荷転送部や水平電荷転送部の駆動制約を受けない独立した転送電極を設ける方法（特開平 5-29599 号公報）も提案されているが、独立な転送電極の駆動パルスとそのための配線が新たに必要になるという欠点がある。したがって、本発明の解決すべき課題は、浅接合化によって垂直電荷転送部の転送電荷容量の低下を抑制した、高画素化された固体撮像素子において、垂直電荷転送部の転送効率の低下や水平電荷転送部の最大蓄積電荷量の低下を招くことなく水平電荷転送部の転送効率の向上を図ることである。

【0012】

【課題を解決するための手段】上述した課題は、複数の垂直電荷転送部と各垂直電荷転送部の一端にそれらから電荷の転送を受けるように配置された水平電荷転送部とを備え、各電荷転送部が半導体基板の表面領域内に形成された電荷転送領域となる第 1 導電型領域とその下に形成された第 2 導電型領域とによって構成されている固体撮像素子において、前記水平電荷転送部の電荷転送領域が、少なくとも垂直電荷転送部と接する側の一部を除く部分にポテンシャルの深い領域を有するようにすることにより解決することができる。

【0013】

【発明の実施の形態】本発明による固体撮像素子は、複数の垂直電荷転送部と各垂直電荷転送部の一端にそれらから電荷の転送を受けるように配置された水平電荷転送部とを備え、各電荷転送部が半導体基板の表面領域内に形成された電荷転送領域となる N 型半導体領域とその下に形成された P 型ウェル層とを含んで構成され、前記水平電荷転送部の P 型ウェル層は、少なくとも垂直電荷転送部と接する側の一部を除く領域の不純物濃度が他の領域のそれより低く設定されている。あるいは、前記水平電荷転送部の N 型半導体領域は、少なくとも垂直電荷転送部と接する側の一部を除く領域の不純物濃度が他の領域のそれより高く設定されている。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第 1 の実施例】図 1 は、本発明の第 1 の実施例の概略の平面図であり、図 2 (a) は、図 1 の I-I' 線に沿う電荷転送部の断面図、図 2 (b) は、その断面での電位ポテンシャル図である。図 1 において、101 は光電変換部、102 は垂直電荷転送部、103 は水平電荷転送部、104 は出力部であり、また、破線にて囲まれた領域は、第 2 の P 型ウェル層が形成されている電界増強領域 105 を示しており、基本的な動作は前述した従来

例の場合と同様である。

【0015】図2において、201はN型半導体基板、202は図1に示す水平電荷転送部103の一部および垂直電荷転送部102の埋め込みチャンネルを構成する第1のP型ウェル層、203は図1に示す水平電荷転送部103および垂直電荷転送部102の埋め込みチャンネルを構成するN型半導体領域、204は図1に示す水平電荷転送部103の中央部の埋め込みチャンネルを構成する第2のP型ウェル層、205は素子分離部のP⁺型半導体領域、206は転送電極を構成する導電性電極、207はシリコン酸化膜、208は遮光用の金属膜、209は保護シリコン酸化膜である。

【0016】上述した本発明の第1の実施例に係る固体撮像素子では、水平電荷転送部103の両サイドおよび垂直電荷転送部102に第1のP型ウェル層202が形成され、水平電荷転送部103のチャンネル中央部に対応する領域に第2のP型ウェル層204が形成され、さらに前記第1のP型ウェル層202および第2のP型ウェル層204上に埋め込みチャンネルを構成するN型半導体領域203が形成された構造となっている。

【0017】次に、本発明の第1の実施例の固体撮像素子の製造方法について、工程順断面図である図3を参照して説明する。N型半導体基板201上に素子分離部のP⁺型半導体領域205およびシリコン酸化膜207を形成する〔図3(a)〕。次に、薄いシリコン酸化膜を介したボロンイオン310の注入により、垂直電荷転送部と水平電荷転送部を構成する領域に不純物濃度の低いP型ウェル層204aを形成する〔図3(b)〕。次に、水平電荷転送部の第2のP型ウェル層を形成する領域上にマスクとなるフォトレジスト312を形成する。

【0018】フォトレジストマスクのない垂直電荷転送部と水平電荷転送部の一部に選択的に追加のボロンイオン310を注入する。これにより、追加ボロンイオンが注入された領域が不純物濃度の高い第1のP型ウェル層202に、フォトレジストマスクにより追加ボロンの注入されなかった領域が不純物濃度の低い第2のP型ウェル層204になる〔図3(c)〕。次に、フォトレジスト312を除去し、薄いシリコン酸化膜を介したリンイオン311の注入により、垂直電荷転送部と水平電荷転送部を構成する領域にN型半導体領域203を形成する〔図3(d)〕。その後、垂直電荷転送部および水平電荷転送部の転送電極となる導電性電極206形成し、導電性電極上に熱酸化またはCVD法等を用いて層間絶縁膜を形成する。層間絶縁膜を形成した後にスパッタ法等を用いて光電変換部にのみ光が入るように遮光用の金属膜208を形成し、最後に金属膜208上にCVD法等を用いて保護シリコン酸化膜209を形成する〔図3(e)〕。ことにより、本発明の第1の実施例に係る固体撮像素子が得られる。

【0019】本発明の第1の実施例では、図1に示した

ように、水平電荷転送部103のチャンネル幅Aより小さいチャンネル幅Bの範囲で第2のP型ウェル層204の形成された領域を持つ構造となっている。このような構造とすることにより、水平電荷転送部に形成される空乏層を従来例に比べ深さ方向に延ばすことができ、フリンジ電界を増強することができるため、水平電荷転送部の信号電荷の転送速度を上げることができ、信号電荷の転送効率を改善することができる。

【0020】尚、本発明の第1の実施例では、水平電荷転送部の内部でのみ構造を変更しているため、従来例のようにフォトマスクの目合わせズレや不純物の横方向拡散の影響で垂直水平接続部、垂直電荷転送部にポテンシャルの窪みや障壁が生じることはない。たとえば第1のP型ウェル層202の不純物濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 、第2のP型ウェル層204の不純物濃度を $5 \times 10^{15} \text{ cm}^{-3}$ 、N型半導体領域203の不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ とした場合、水平電荷転送部の信号電荷の転送速度を約15%改善することができるため、信号電荷の転送効率を改善することができる。ただし、この場合、水平電荷転送部の第2のP型ウェル層を形成する領域の幅Bが、 $4 \mu\text{m}$ より小さい範囲においては、ナローチャンネル効果により、従来例よりは勝るものの、第2のP型ウェル層を形成する領域の幅Bが小さくなるにしたがって、その効果は徐々に劣化する。したがって、第2のP型ウェル層を形成する領域の幅Bは、 $4 \mu\text{m}$ 以上かつ水平電荷転送部のチャンネル幅A以下の範囲で設定することが望ましい。

【0021】さらに、水平電荷転送部に第1のP型ウェル層が存在しない場合、あるいは第1のP型ウェル層の幅が非常に小さい場合には、第1のP型ウェル層と第2のP型ウェル層の境界位置が、フォトマスクの目合わせズレの影響で、垂直電荷転送部側にずれて、垂直水平接続部にポテンシャルの窪みが生じて水平電荷転送部に蓄積できる最大信号電荷量が減少する可能性がでてくる。したがって、第1のP型ウェル層を形成する領域の幅は、目合わせズレに影響されない $1 \mu\text{m}$ 以上に設定することが望ましい。

【0022】〔第2の実施例〕図4は、本発明の第2の実施例の概略の平面図である。図4において、401は光電変換部、402は垂直電荷転送部、403は水平電荷転送部、404は出力部であり、また、破線にて囲まれている領域は、第2のP型ウェル層が形成されている電界増強領域405を示しており、前述した本発明の第1の実施例と異なる点は、第1のP型ウェル層が、垂直電荷転送部402に接する水平電荷転送部403の片側のみ形成されている点である。基本的な動作は前述した従来例と同様である。

【0023】この第2の実施例では、水平電荷転送部の構造は第1の実施例と基本的に同じであるため、第1の実施例の場合と同様に信号電荷の転送効率を改善するこ

とができる。更に、この第2の実施例では、水平電荷転送部の第1のP型ウェル層が垂直電荷転送部に接する水平電荷転送部の片側にのみ形成されているため、信号電荷の転送効率の改善に寄与する水平電荷転送部の第2のP型ウェル層の形成される領域の面積を増やすことができる。

【0024】〔第3の実施例〕図5は、本発明の第3の実施例の概略の平面図であり、図6(a)は、図5のI-I'線に沿う電荷転送部の断面図、図6(b)は、その断面での電位ポテンシャル図である。図5において、501は光電変換部、502は垂直電荷転送部、503は水平電荷転送部、504は出力部であり、また、破線にて囲まれている領域は、第2のN型半導体領域が形成されている電界増強領域505を示しており、基本的な動作は前述した第1、第2の実施例の場合と同様である。図6において、601はN型半導体基板、602は図5に示す水平電荷転送部503および垂直電荷転送部502の埋め込みチャンネルを構成するP型ウェル層、603は図5に示す水平電荷転送部503の一部および垂直電荷転送部502の埋め込みチャンネルを構成する第1のN型半導体領域、604は図5に示す水平電荷転送部503の中央部の埋め込みチャンネルを構成する第2のN型半導体領域、605は素子分離部のP⁺型半導体領域、606は導電性電極、607はシリコン酸化膜、608は遮光用の金属膜、609は保護シリコン酸化膜である。

【0025】この第3の実施例の固体撮像素子では、水平電荷転送部503のチャンネル部の両サイドおよび垂直電荷転送部502に第1のN型半導体領域603が形成され、水平電荷転送部503のチャンネル部の中央部分に第2のN型半導体領域604が形成され、さらに埋め込みチャンネルを構成する前記第1のN型半導体領域603および第2のN型半導体領域604は、P型ウェル層602上に形成された構造となっている。

【0026】次に、本発明の第3の実施例の製造方法について、工程順断面図である図7を参照して説明する。N型半導体基板601上に素子分離部のP⁺型半導体領域605およびシリコン酸化膜607を形成する〔図7(a)〕。次に、薄いシリコン酸化膜を介したボロニオン710の注入により、垂直電荷転送部と水平電荷転送部を構成する領域にP型ウェル層602を形成する〔図7(b)〕。次に、薄いシリコン酸化膜を介したリンイオン711の注入により、垂直電荷転送部と水平電荷転送部を構成する領域に不純物濃度の低いN型半導体領域603aを形成する〔図7(c)〕。次に、水平電荷転送部の第1のN型半導体領域を形成する領域にフォトリソグリス712を形成し、これをマスクとしてリンイオン711をイオン注入する。これにより、フォトリソグリス712によりリンイオンが注入されなかった領域が不純物濃度の低い第1のN型半導体領域603に、リン

イオンが注入された領域が不純物濃度の高い第2のN型半導体領域604となる〔図7(d)〕。

【0027】その後、フォトリソグリス712を除去し、垂直電荷転送部および水平電荷転送部の転送電極となる導電性電極606形成し、導電性電極上に熱酸化またはCVD法等を用いて層間絶縁膜を形成する。層間絶縁膜を形成した後にスパッタ法等を用いて光電変換部にのみ光が入るように遮光用の金属膜608を形成し、最後に金属膜608上にCVD等を用いて保護シリコン酸化膜609を形成する〔図7(e)〕ことにより、本発明の第3の実施例に係る固体撮像素子が得られる。

【0028】この第3の実施例では、図5に示したように水平電荷転送部503のチャンネル幅Aより小さい幅Bの範囲で第2のN型半導体領域604を形成する領域を持つ構造となっている。埋め込みチャンネルのN型半導体領域をこのように構成することにより、水平電荷転送部に形成される空乏層を従来例に比べ深さ方向に延ばすことができ、フリッジ電界を増強して、水平電荷転送部の信号電荷の転送速度を上げることができるため、信号電荷の転送効率を改善することができる。尚、この第3の実施例も、水平電荷転送部の内部でのみ構造を変更するものであるため、従来例の場合のようにフォトリソグリスの目合わせズレや不純物の横方向拡散の影響で垂直水平接続部、垂直電荷転送部にポテンシャルの窪みや障壁が形成されることはない。

【0029】〔第4の実施例〕図8は、本発明の第4の実施例の概略の平面図である。図8において、801は光電変換部、802は垂直電荷転送部、803は水平電荷転送部、804は出力部である。また、破線にて囲まれた領域は、第2のN型半導体領域が形成されている電界増強領域805を示しており、前述した第3の実施例と異なる点は、垂直電荷転送部802に接する水平電荷転送部803の片側にのみ第1のN型半導体領域が形成されている点である。

【0030】この第4の実施例では、水平電荷転送部の構造は第3の実施例と基本的に同じであるため、第3の実施例の場合と同様に信号電荷の転送効率を改善することができる。更に、この第4の実施例では、水平電荷転送部の第1のN型半導体領域が垂直電荷転送部に接する水平電荷転送部の側面にのみ形成されているため、信号電荷の転送効率の改善に寄与する水平電荷転送部の第2のN型半導体領域の形成される領域の面積を増やすことができる。

【0031】

【発明の効果】以上説明したように、本発明の固体撮像素子は、水平電荷転送部の埋め込みチャンネルの少なくとも垂直電荷転送部寄りの部分を除く中央部にポテンシャルの深い領域を形成するようにしたものであるため、垂直水平接続部や垂直電荷転送部にポテンシャルの窪みや障壁を生じさせることなく水平電荷転送部の転送効率

を向上させることができる。したがって、本発明によれば、高画素化された場合にも、垂直電荷転送部での転送電荷量を低下させることなく、水平電荷転送部の転送効率を向上させることができるので、解像度が高く高画質の固体撮像素子を提供することが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の概略の平面図。

【図2】 図1のI-I'線での断面図とその断面での電位ポテンシャル図。

【図3】 本発明の第1の実施例の製造方法を説明するための工程順断面図。

【図4】 本発明の第2の実施例の概略の平面図。

【図5】 本発明の第3の実施例の概略の平面図。

【図6】 図5のI-I'線での断面図とその断面での電位ポテンシャル図。

【図7】 本発明の第3の実施例の製造方法を説明するための工程順断面図。

【図8】 本発明の第4の実施例の概略の平面図。

【図9】 従来の固体撮像素子の概略の平面図。

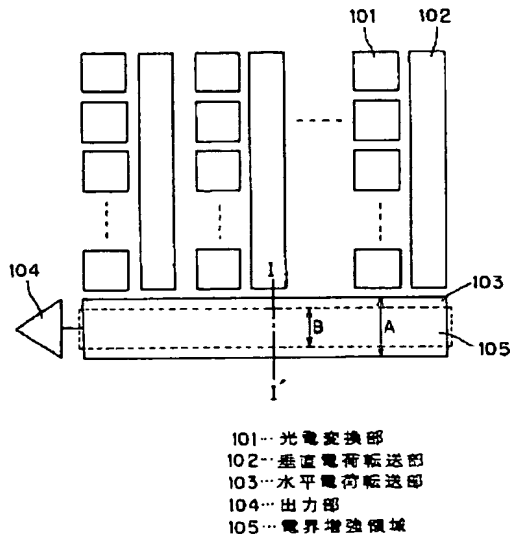
【図10】 図9のI-I'線での断面図とその断面での電位ポテンシャル図。

【図11】 従来の固体撮像素子の製造方法を説明するための工程順断面図。

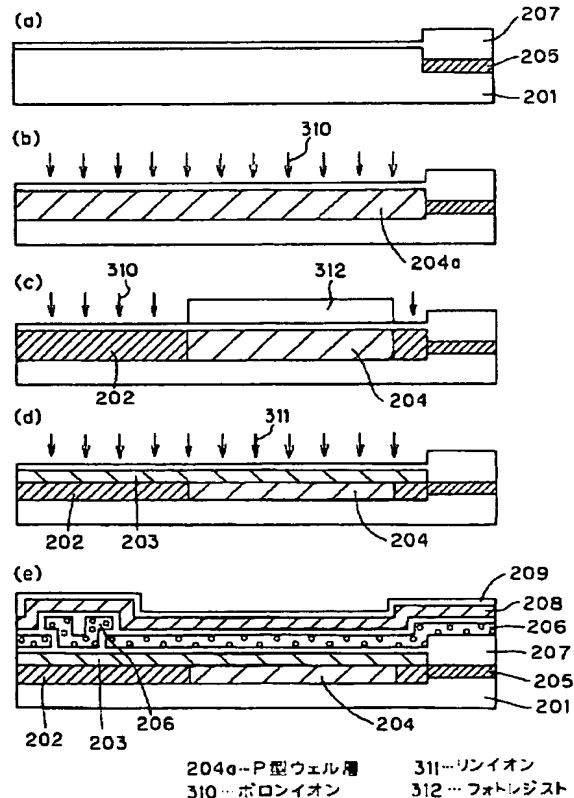
【符号の説明】

101、401、501、801、901	光電変換部
102、402、502、802、902	垂直電荷転送部
103、403、503、803、903	水平電荷転送部
104、404、504、804、904	出力部
105、405、505、805	電界増強領域
201、601、1001	N型半導体基板
202	第1のP型ウェル層
203、603a、1003	N型半導体領域
603	第1のN型半導体領域
204	第2のP型ウェル層
204a、602、1002	P型ウェル層
604	第2のN型半導体領域
205、605、1005	P ⁺ 型半導体領域
206、606、1006	導電性電極
207、607、1007	シリコン酸化膜
208、608、1008	金属膜
209、609、1009	保護シリコン酸化膜
310、710、1110	ボロンイオン
311、711、1111	リンイオン
312、712	フォトリソ

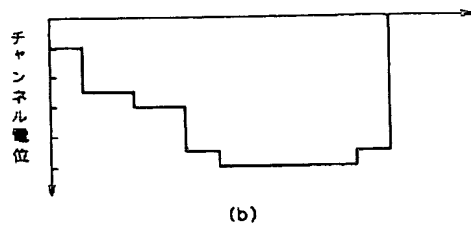
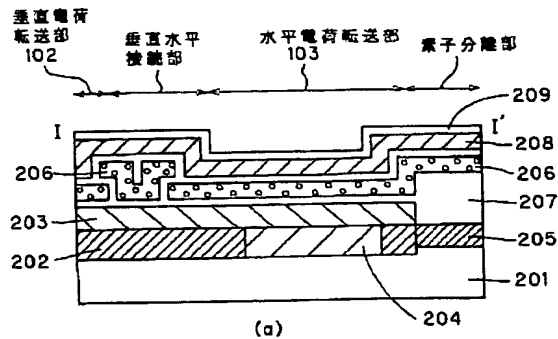
【図1】



【図3】

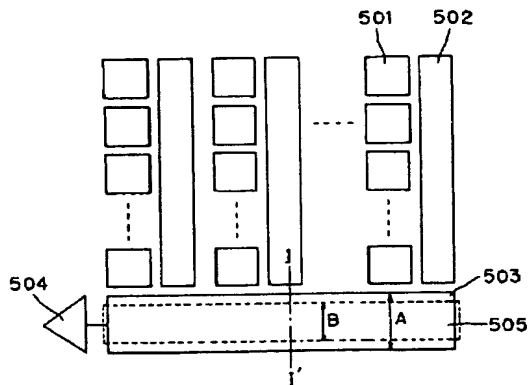


【図2】



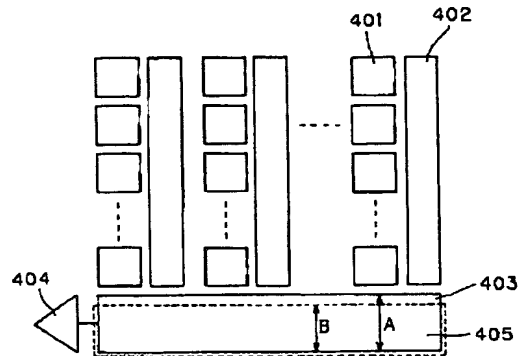
- 201…N型半導体基板
202…第1のP型ウェル層
203…N型半導体領域
204…第2のP型ウェル層
205…P⁺型半導体領域
206…導電性電極
207…シリコン酸化膜
208…金属膜
209…保護シリコン酸化膜

【図5】



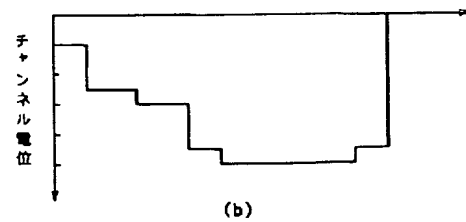
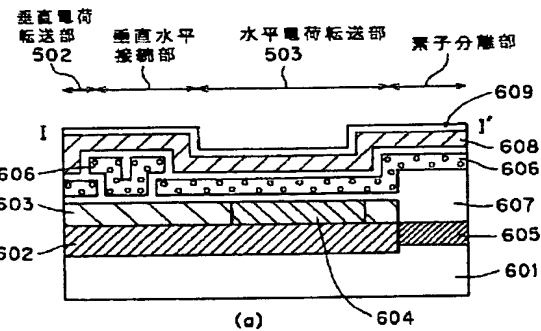
- 501…光電変換部
502…垂直電荷転送部
503…水平電荷転送部
504…出力部
505…電界増強領域

【図4】



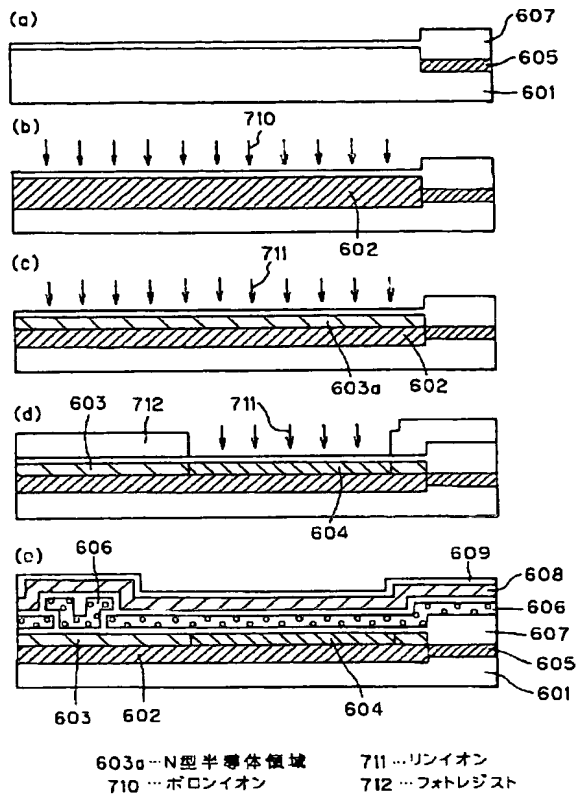
- 401…光電変換部
402…垂直電荷転送部
403…水平電荷転送部
404…出力部
405…電界増強領域

【図6】

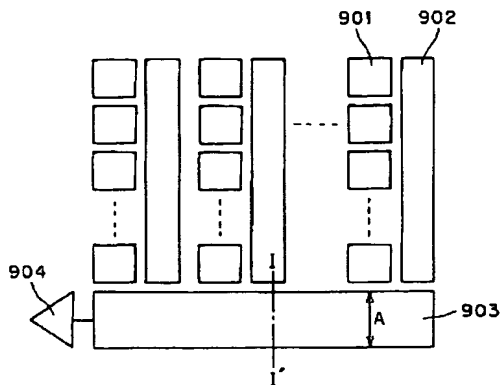


- 601…N型半導体基板
602…P型ウェル層
603…第1のN型半導体領域
604…第2のN型半導体領域
605…P⁺型半導体領域
606…導電性電極
607…シリコン酸化膜
608…金属膜
609…保護シリコン酸化膜

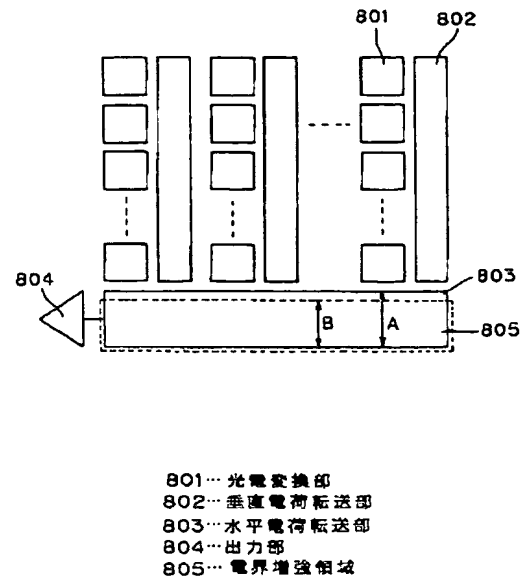
【図7】



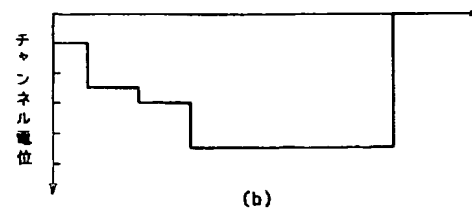
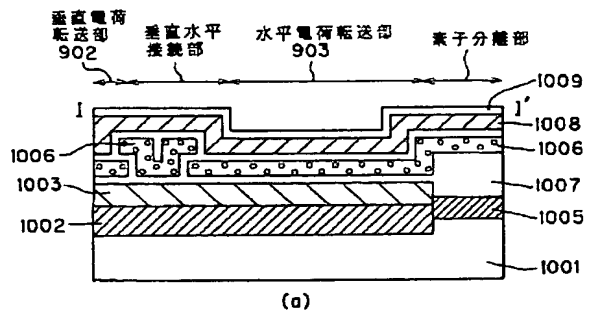
【図9】



【図8】



【図10】



1001…N型半導体基板
1002…P型ウェル層
1003…N型半導体領域
1005…P⁺型半導体領域
1006…導電性電極
1007…シリコン酸化膜
1008…金属膜
1009…保護シリコン酸化膜

【図11】

